

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Katsuji SATOMI, et al.
Application No.: New Patent Application
Filed: February 6, 2004
For: SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

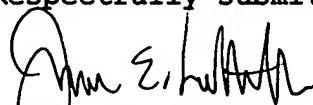
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-030344, filed February 7, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: February 6, 2004

JEL/spp
Attorney Docket No. L8462.04105
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 7日
Date of Application:

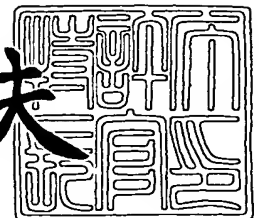
出願番号 特願2003-030344
Application Number:
[ST. 10/C]: [JP 2003-030344]

出願人 松下電器産業株式会社
Applicant(s):

2003年10月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3088889

【書類名】 特許願

【整理番号】 5037640118

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/413

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 里見 勝治

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 赤松 寛範

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【選任した代理人】

 【識別番号】 100105979

 【弁理士】

 【氏名又は名称】 伊藤 誠

【手数料の表示】

 【予納台帳番号】 010814

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 ワード線駆動回路の出力がハイレベルに達した直後のタイミングで前記ワード線駆動回路の駆動トランジスタをオフにする回路と、前記駆動トランジスタがオフとなった後のタイミングでワード線を昇圧するワード線昇圧回路とを備え、

前記ワード線昇圧回路が、前記ワード線に一端を接続した結合容量と、前記結合容量の他端に出力端を接続した容量駆動回路とからなり、前記ワード線駆動回路の駆動トランジスタがオフとなるタイミングで前記容量駆動回路の出力をローレベルからハイレベルに変化させるようにしたことを特徴とする半導体記憶装置。

【請求項 2】 ワード線駆動回路がスタティックメモリ回路のワード線駆動回路であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 結合容量が、ワード線と併走する併走配線によって形成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 併走配線が、ワード線とは異なる長さを有することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 メモリセル配置単位のワード線と併走配線とを有する第 1 のメモリセル配置データと、メモリセル配置単位の前記ワード線を有し前記併走配線を有さない第 2 のメモリセル配置データとから構成され、前記ワード線の延在方向に並べられる所定のメモリセル配置データ数に対して、前記第 1 のメモリセル配置データを所定の結合容量値が得られる数だけ連続して並べ、それ以外は前記第 2 のメモリセル配置データを並べたことを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】 結合容量を形成する併走配線が、ワード線と同じ配線層で形成されており、かつ前記ワード線に接続されるメモリセル単位または複数のメモリセル単位毎に分断されており、分断された個々の併走配線が、前記ワード線の上層で併走する配線によって裏打ちされていることを特徴とする請求項 3 記載の

半導体記憶装置。

【請求項 7】 駆動トランジスタをオフにする制御入力信号が、ワード線駆動回路の出力であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 8】 容量駆動回路の入力信号が、ワード線駆動回路の出力であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 9】 ワード線昇圧回路は、書き込み制御信号を入力とし、書き込みを行う際にのみワード線を昇圧することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 10】 ワード線昇圧回路はカラムデコード信号を制御入力とし、かつワード線駆動回路はグローバルワード線の信号を入力とし、前記グローバルワード線に複数の前記ワード線駆動回路が接続されており、前記カラムデコード信号によって書き込み動作時に前記ワード線昇圧回路の動作／非動作が選択されることを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 11】 ワード線駆動回路の出力がハイレベルに達した直後のタイミングで前記ワード線駆動回路の駆動トランジスタをオフにする回路と、前記駆動トランジスタがオフとなった後のタイミングでワード線を昇圧するワード線昇圧回路とを備え、

前記ワード線昇圧回路が、前記ワード線駆動回路に供給される電源電圧よりも高い電圧を有する電圧源とワード線との間に設けられたスイッチ回路であり、前記駆動トランジスタがオフした後のタイミングで前記スイッチ回路がオンすることを特徴とする半導体記憶装置。

【請求項 12】 スイッチ回路は、ワード線駆動回路からの信号をオン／オフの制御信号とし、前記ワード線駆動回路からの信号を、前記ワード線駆動回路に供給される電源電圧よりも高い電圧に変換するレベル変換回路を有することを特徴とする請求項 11 記載の半導体記憶装置。

【請求項 13】 スイッチ回路は書き込み制御信号をオン／オフの制御信号として入力し、書き込み時のみワード線駆動回路からの信号に応答させるようにしている請求項 11 または 12 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関するもので、特にワード線駆動回路の部分の構造に係わる。

【0002】

【従来の技術】

CMOS半導体集積回路の低消費電力化には、電源電圧のスケーリングが効果的であるが、システムLSIで幅広く使用されるSRAMは、メモリセル回路の構成上、特性の劣化が生じやすい。その主たる要因は、アクセストランジスタのソース・ドレインの電位が基板電位より浮くことによるバックバイアス効果で生じる閾値電圧の変動が、電源電圧が低い場合に著しい電流能力の低下を招くことによる。

【0003】

これにより、読み出し時にはビット線の電荷を引き抜く能力が低下してビット線遅延が増大し、また書き込み時には保持データの書き換え時間が増大するのみならず、極端に電圧が低い場合にはDC的に書き換えができなくなる。

【0004】

こうした特性劣化を抑制するために、従来技術ではワード線駆動回路に供給する電源電圧を、他の回路部分に供給する電源電圧より高くするといった方法が用いられてきた。

【0005】

図9は従来の半導体記憶装置の構成を示す回路図である。図9には、1本のワード線と、それを駆動するワード線駆動回路と、ワード線に接続されたメモリセルとが図示されている（特許文献1参照）。

【0006】

図9において、11、12はそれぞれワード線WLを駆動するPチャネル駆動トランジスタおよびNチャネル駆動トランジスタである。44はレベルシフト回路である。これらがワード線駆動回路400を構成している。17はメモリセルである。

【0007】

ワード線WLには、複数のメモリセル17のアクセストランジスタのゲートが接続されている。ワード線駆動回路400の入力NWLは、レベルシフト回路44を介してPチャネル駆動トランジスタ11およびNチャネル駆動トランジスタ12のそれぞれのゲートに入力されている。

【0008】

Pチャネル駆動トランジスタ11およびNチャネル駆動トランジスタ12に供給される電源電圧VDDHは、メモリセル17の電源電圧VDDLやワード駆動回路400の入力NWLのハイレベル電位（VDDL）よりも高い電圧に設定されている。

【0009】

図10に示すように、ワード線駆動回路400の入力NWLがローレベルになった際に、Pチャネル駆動トランジスタ11によりワード線WLにはメモリセル17の電源電圧（VDDL）よりも高い電圧（VDDH）が供給される。これにより、メモリセル17におけるアクセストランジスタのバックバイアス効果による能力低下が抑えられ、動作特性が改善される。

【0010】

レベルシフト回路44は、ワード線駆動回路400の入力NWLがハイレベルの際に、Pチャネル駆動トランジスタ11のゲート入力をVDDHレベルまで引き上げ、オフ状態でのサブスレッショルドリーク電流を低減する働きを持っている。

【0011】

このように、SRAM回路のほとんどの部分は低い電源電圧で動作させて、ほんの一部分であるワード線駆動回路400のみを高い電圧で動作させることで、特性劣化を招くことなく、効果的に消費電力を抑制することができる。

【0012】

【特許文献1】

特開平2-118992号公報（第2～3頁、第1図）

【0013】

【発明が解決しようとする課題】

しかしながら、従来技術では電源電圧をもう 1 系統準備する必要があり、L S I チップのレイアウト設計が煩雑になるとともに 2 つの電源配線の領域を設ける必要があり、結果的にチップ面積を増大させることになっていた。また、こうした半導体を使用するシステム側の設計も 2 つの電源回路を設ける必要があり、基板実装面積が増えコスト的にもデメリットとなる。

【0014】

システム側の電源を 1 系統として、チップ上で別途電源回路を設ける場合には、さらにチップ面積を増大させることになる。

【0015】

本発明の目的は、電源系統が 1 系統でよく、L S I チップのレイアウト設計が簡略になるとともに 1 つの電源配線の領域を設けるだけでよく、チップ面積を減少させることができる半導体記憶装置を提供することである。

【0016】**【課題を解決するための手段】**

上記課題を解決するために、本発明の請求項 1 記載の半導体記憶装置は、ワード線駆動回路の出力がハイレベルに達した直後のタイミングでワード線駆動回路の駆動トランジスタをオフにする回路と、駆動トランジスタがオフとなった後のタイミングでワード線を昇圧するワード線昇圧回路とを備えている。そして、ワード線昇圧回路が、ワード線に一端を接続した結合容量と、結合容量の他端に出力端を接続した容量駆動回路とからなり、ワード線駆動回路の駆動トランジスタがオフとなるタイミングで容量駆動回路の出力をローレベルからハイレベルに変化させるようにしている。

【0017】

この構成によれば、ワード線がハイレベルの状態でハイインピーダンスとなるため、ワード線との間に結合容量を有する容量駆動回路の出力がローレベルからハイレベルになることで、ワード線電位がハイレベル電位よりさらに持ち上げられる。本請求項に係るワード線昇圧回路では、他の回路部分よりも高い電圧を供給する必要はない。したがって、電源系統が 1 系統でよく、L S I チップのレイ

アウト設計が簡略になるとともに1つの電源配線の領域を設けるだけでよく、チップ面積を減少させることができる。また、こうした半導体を使用するシステム側の設計も1つの電源回路を設けるだけでよく、基板実装面積が減少し、コスト的にも安価になり、有利である。

【0018】

本発明の請求項2記載の半導体記憶装置は、請求項1記載の半導体記憶装置において、ワード線駆動回路がスタティックメモリ回路のワード線駆動回路である。

【0019】

この構成によれば、請求項1記載の半導体記憶装置と同様の作用効果を有する。

【0020】

本発明の請求項3記載の半導体記憶装置は、請求項1記載の半導体記憶装置において、結合容量が、ワード線と併走する併走配線によって形成されている。

【0021】

この構成によれば、併走する配線はワード線を形成する配線レイヤの上層の配線を用いてメモリアレイ上に形成することで、別途結合容量を形成する領域を設ける必要がなく面積の増大を抑えることが可能となる。また、ワード線の隣接領域にスペースがある場合には、併走配線をワード線と同層の配線を用いて形成することで同様の効果が得られる。

【0022】

本発明の請求項4記載の半導体記憶装置は、請求項3記載の半導体記憶装置において、併走配線が、ワード線とは異なる長さを有する。

【0023】

この構成によれば、併走配線の長さで結合容量の値を調整することができる。

【0024】

本発明の請求項5記載の半導体記憶装置は、請求項4記載の半導体記憶装置において、メモリセル配置単位のワード線と併走配線とを有する第1のメモリセル配置データと、メモリセル配置単位のワード線を有し併走配線を有さない第2の

メモリセル配置データとから構成され、ワード線の延在方向に並べられる所定のメモリセル配置データ数に対して、第1のメモリセル配置データを所定の結合容量値が得られる数だけ連続して並べ、それ以外は第2のメモリセル配置データを並べている。

【0025】

この構成によれば、2種類のメモリセル配置データの差し換えだけで結合容量値を変えることができ、任意のビット数、ワード数を入力パラメータとしてSRAMブロックを生成するレイアウトコンパイラでの結合容量の形成が容易になる。

【0026】

本発明の請求項6記載の半導体記憶装置は、請求項3記載の半導体記憶装置において、結合容量を形成する併走配線が、ワード線と同じ配線層で形成されており、かつワード線に接続されるメモリセル単位または複数のメモリセル単位毎に分断されており、分断された個々の併走配線が、ワード線の上層で併走する配線によって裏打ちされている。

【0027】

この構成によれば、ワード線に隣接するスペースが限られておりワード線と結合容量を形成する併走配線との間隔を昇圧レベルを調整するために任意に設定することができない場合についても、併走配線を分断することで結合容量値を調整して昇圧レベルをコントロールすることが可能となる。また、分断する単位がメモリセルを基準とする単位であるため、任意のビット数、ワード数を入力パラメータとしてSRAMブロックを生成するレイアウトコンパイラにおいても、併走配線をセルレイアウト内に持たせることでメモリセルを配置するだけで、並べたメモリセル数すなわちワード線長に比例した結合容量が得られ、昇圧レベルを一定に保つことが可能となる。

【0028】

本発明の請求項7記載の半導体記憶装置は、請求項1記載の半導体記憶装置において、駆動トランジスタをオフにする制御入力信号が、ワード線駆動回路の出力である。駆動トランジスタをオフにするタイミングはワード線電位が電源電圧

であるハイレベルに到達していなければ、その後に行われる昇圧動作で得られる電位が所定の電位レベルよりも下がってしまう。一方、ワード線がハイレベルに達してから駆動トランジスタがオフとなるまでの時間に間隔があると無駄時間になってしまう。

【0029】

この構成によれば、駆動トランジスタのオフ制御をワード線信号によって直接フィードバック制御することで、別途タイミング制御回路を設けた場合に比べ信号のレーシングによるずれを排除し、シーケンシャルに各動作タイミングを設定することができるため、駆動トランジスタをオフにするタイミングをワード線がハイレベルに到達するタイミングに調節することが容易になる。

【0030】

本発明の請求項 8 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、容量駆動回路の入力信号が、ワード線駆動回路の出力である。駆動トランジスタがオフとなる前に容量駆動回路が作動すると、容量に蓄積された電荷がオンしている駆動トランジスタに流入し、所定の昇圧レベルが得られない。一方、駆動トランジスタがオフしてから容量駆動回路が作動するまでの時間に間隔があると無駄時間となってしまう。

【0031】

この構成によれば、容量駆動回路の入力信号をワード線信号とすることで、容量駆動回路の作動タイミングを駆動トランジスタがオフとなるタイミングに調節することが容易になる。

【0032】

本発明の請求項 9 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、ワード線昇圧回路が、書き込み制御信号を入力とし、書き込みを行う際にのみワード線を昇圧する。半導体集積回路全体として必要とされる動作スピードがそれほど速くない場合には、全体の電源電圧を下げることで低消費電力化には有効であるが、前述のとおり S R A M の書き込み動作では D C 的に動作マージンが減少し動作下限のボトルネックとなる。一方、読み出し動作はスピードに影響は出るが、センスタイミングさえ調整すれば低い電圧でも機能的には動作可能

である。むしろ、ワード線の昇圧により、アクセストランジスタのゲート電位が持ち上げられるとデータ保持特性であるノイズマージンが低下し、ワード線がオンした際にデータが反転しデータが破壊される可能性が高くなる。

【0033】

この構成によれば、書き込み時のみ昇圧を行うことで、読み出し時のデータ破壊を回避するためのワード線昇圧電位の微妙な調整をすることなく効果的に動作下限電圧の改善を図ることができる。

【0034】

本発明の請求項10記載の半導体記憶装置は、請求項9記載の半導体記憶装置において、ワード線昇圧回路はカラムデコード信号を制御入力とし、かつワード線駆動回路はグローバルワード線の信号を入力とし、グローバルワード線に複数のワード線駆動回路が接続されており、カラムデコード信号によって書き込み動作時にワード線昇圧回路の動作／非動作が選択される。一般的に、SRAMではブロック形状が極端な横長や縦長にならないように1つのワード線に複数アドレスのメモリセルを接続する構成をとる。この場合は、書き込み動作時に書き込み対象のメモリセル以外のメモリセルもアクセストランジスタがオンし、昇圧されたゲート電位によりデータが反転しデータが破壊される可能性が高くなる。

【0035】

この構成によれば、書き込み時にカラムアドレスで選択された書き込み対象のメモリセルのみワード線を昇圧することで、非選択メモリセルのデータ破壊を防ぎながらブロック形状を整えることができる。

【0036】

本発明の請求項11記載の半導体記憶装置は、ワード線駆動回路の出力がハイレベルに達した直後のタイミングでワード線駆動回路の駆動トランジスタをオフにする回路と、駆動トランジスタがオフとなった後のタイミングでワード線を昇圧するワード線昇圧回路とを備えている。そして、ワード線昇圧回路が、ワード線駆動回路に供給される電源電圧よりも高い電圧を有する電圧源とワード線との間に設けられたスイッチ回路であり、駆動トランジスタがオフした後のタイミングでスイッチ回路がオンする。

【0037】

この構成によれば、ワード線に加える電圧を昇圧することができる。

【0038】

従来技術のようにワード線駆動回路の電源電圧そのものを高い電圧で駆動する場合は、ワード線駆動回路によってワード線電位が一義的に決まってしまう。本発明では、ワード線駆動回路とは別に、電源電圧よりも高い電圧を有する電圧源とワード線との間にスイッチ回路を設け、スイッチ回路を介して高い電圧をワード線に加えるようにしているので、スイッチ回路に所望の制御信号を与えることで、半導体記憶装置の動作モードに応じてワード線に加える電圧を異ならせることも可能である。例えばワード線駆動回路が動作する書き込み動作時と読み出し動作時とでワード線電位を異なる電位に制御することも可能となる。

【0039】

本発明の請求項 12 記載の半導体記憶装置は、請求項 11 記載の半導体記憶装置において、スイッチ回路は、ワード線駆動回路からの信号をオン／オフの制御信号とし、ワード線駆動回路からの信号を、ワード線駆動回路に供給される電源電圧よりも高い電圧に変換するレベル変換回路を有する。

【0040】

この構成によれば、スイッチ回路に供給される電源電圧とスイッチ制御信号電圧の差異をなくすことで、スイッチ回路のオフ状態で生じるリーク電流を効果的にカットすることができる。

【0041】

本発明の請求項 13 記載の半導体記憶装置は、請求項 11 または 12 記載の半導体記憶装置において、スイッチ回路は書き込み制御信号をオン／オフの制御信号として入力し、書き込み時のみワード線駆動回路からの信号に応答させるようにしている。

【0042】

この構成によれば、スイッチ回路は書き込み制御信号をオン／オフの制御信号として入力し、書き込み時のみワード線駆動回路からの信号に応答させるようにしているので、書き込み時のみ昇圧することが可能となり、読み出し時のデータ

の破壊を防止することができる。

【0043】

従来技術のようにワード線駆動回路の電源電圧そのものを高い電圧で駆動する場合は、ワード線駆動回路によってワード線電位が一義的に決まってしまう、例えばワード線駆動回路が動作する書き込み動作時と読み出し動作時とでワード線電位を異なる電位に制御することはできない。本発明では、ワード線駆動回路とは別に、電源電圧よりも高い電圧を有する電圧源とワード線との間にスイッチ回路を設け、スイッチ回路を介して高い電圧をワード線に加えるようにしているので、ワード線駆動回路の動作によってワード線を駆動する場合でも、書き込み動作時と読み出し動作時とでワード線に加える電圧を異ならせることができる。

【0044】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0045】

(第1の実施の形態)

図1は本発明の第1の実施の形態の半導体記憶装置の構成を示す回路図である。図1には、1本のワード線と、それを駆動するワード線駆動回路と、ワード線に接続されたメモリセルとが図示されている。

【0046】

図1において、11、12はそれぞれワード線WLを駆動するPチャネル駆動トランジスタおよびNチャネル駆動トランジスタである。13はプルアップトランジスタ13a、トランスファゲート13bおよびインバータ13cからなるOR回路、14はタイミング調整回路、15は容量駆動回路、16はワード線WLに一端が接続された結合容量である。これらがワード線駆動回路410を構成している。17はメモリセルである。

【0047】

Nチャネル駆動トランジスタ12は、ワード線駆動回路410への入力NWLによってゲートが直接制御され、Pチャネル駆動トランジスタ11はOR回路13を介してゲートノードPWLが制御される。

【0048】

タイミング調整回路14は、ワード線WLの電位を入力とし、その出力信号BWLはOR回路13の一方の入力端に接続されている。

【0049】

容量駆動回路15は、タイミング調整回路14の出力信号BWLを受けて、出力端（出力信号CWL）とワード線WLとの間に設けられた結合容量16を駆動する構成となっている。

【0050】

結合容量16は、ワード線WL上の配線層でワード線WLと併走する配線として構成されている。

【0051】

メモリセル17は6トランジスタ構成のSRAMメモリセルであり、アクセストランジスタのゲートがワード線WLに接続されている。本ワード線駆動回路410には、VDDLの電位レベルの電源電圧が供給されている。

【0052】

図1のワード線駆動回路410の動作について、図2を参照しながら説明する。最初に、入力NWLがハイレベルにあるとき、Nチャネル駆動トランジスタ12はオン状態にあり、ワード線WLはローレベルに設定されている。このとき、タイミング調整回路14の出力信号BWLは同じくローレベルに設定され、OR回路13内のPチャネルプルアップトランジスタ13aはオフし、またトランスファゲート13bはオンして入力NWLのハイレベル信号はゲートノードPWLに伝達される。これによってPチャネル駆動トランジスタ11がオフ状態となる。また、容量駆動回路15の出力信号CWLは、タイミング調整回路14の信号を受けてローレベルに設定されている。

【0053】

この状態から、入力NWLがローレベルに変化すると、まずNチャネル駆動トランジスタ12がオフし、同時にPチャネル駆動トランジスタ11がオン状態となる。Pチャネル駆動トランジスタ11はワード線WLの負荷を駆動し、ワード線電位をハイレベルへと引き上げる。これに応じて、タイミング調整回路14の

出力信号BWLは一定時間後にハイレベルとなり、OR回路13内のトランスファゲート13bがオフして入力NWLの信号伝達をカットすると同時にPチャネルプルアップトランジスタ13aがオンしてゲートノードPWLはハイレベルに移行する。タイミング調整回路14の伝播遅延はワード線WLのハイレベルが供給電圧VDDLに達したタイミングでPチャネル駆動トランジスタ11がオフとなるように調整されている。

【0054】

その後、容量駆動回路15は、タイミング調整回路14の出力信号BWLのハイレベル変化を受けて、出力信号CWLをハイレベルへ引き上げる。このとき、Nチャネル駆動トランジスタ12およびPチャネル駆動トランジスタ11はともにオフ状態にあり、ワード線WLはハイインピーダンス状態になっているので、結合容量16によってワード線WLはVDDLのハイレベル電位よりさらに高い電位に持ち上げられる。持ち上げる電位レベルはワード線WLの対地容量などの寄生容量（図示せず）に対して結合容量値を適切に設定することで予め調整されている。

【0055】

電源電圧VDDLおよび昇圧するレベルは、ここでは例えばそれぞれ1.5Vと0.3Vとを想定している。1.5Vの電圧レベルでは、回路を構成するトランジスタの閾値電圧の影響を受けるため、0.3V程度の昇圧レベルでも供給電流の大幅な改善を見込むことができる。また、実際にはPチャネル駆動トランジスタ11の拡散接合で昇圧した際に接合ダイオードに順方向の電圧が印加されるが、0.3V程度であればワード線WLの容量を数nsオーダーの時間で放電するほどの電流は流れないため、昇圧レベルは保たれる。

【0056】

入力NWLがローレベルからハイレベルに移行するときは、初期設定の説明と同様に、Nチャネル駆動トランジスタ12がオンしてワード線WLはローレベルに変化する。同様に、タイミング調整回路14の出力信号BWLもローレベルに変化し、OR回路13は入力NWLをゲートノードPWLに伝達してPチャネル駆動トランジスタ11はオフしたままの状態となる。容量駆動回路15は出力信

号CWLがローレベルに変化し、結合容量16を介してワード線WLをローレベルよりさらに低いレベルへと引き下げようとするが、Nチャネル駆動トランジスタ12がオン状態にあるため、元々のローレベルからは変動しない。

【0057】

このように、本発明の第1の実施の形態によれば、ワード線駆動回路410の供給電源を他の回路部分と変えることなくワード線WLに高い電位を供給することが可能となる。元々ワード線WLの延長線上にあるローデコード回路やワード線駆動回路410の部分はSRAM回路全体のレイアウト上でデッドスペースが生じやすい。このため、ワード線駆動回路410を構成するトランジスタ数が増えてもブロックサイズがそれほど大きくなることはない。また、結合容量16もメモリセルアレイ上に設けられており、面積オーバーヘッドが発生しない。近年の多層配線プロセスの浸透でSRAMメモリセルアレイ上はむしろスペースが開いており、余分な配線層を追加する必要もない。

【0058】

以上説明したように、この半導体記憶装置では、ワード線WLがハイレベルになったタイミングでPチャネル駆動トランジスタ11をオフにする回路（OR回路13およびタイミング調整回路14）を有することで、ワード線WLがハイインピーダンス状態となり、別途設けられた昇圧回路（容量駆動回路15および結合容量16）によって、供給されている電源電圧VDDL以上の電位にワード線WLの電位を設定することが可能となる。

【0059】

また、ワード線WLがハイレベルの状態でハイインピーダンスとなるため、ワード線との間に結合容量16を有する容量駆動回路15の出力がローレベルからハイレベルになることで、ワード線電位がハイレベル電位よりさらに持ち上げられる。本実施の形態の構成では、他の回路部分よりも高い電圧を供給する必要はない。したがって、電源系統が1系統でよく、LSIチップのレイアウト設計が簡略になるとともに1つの電源配線の領域を設けるだけでよく、チップ面積を減少させることができる。また、こうした半導体を使用するシステム側の設計も1つの電源回路を設けるだけでよく、基板実装面積が減少し、コスト的にも安価に

なり、有利である。

【0060】

また、Pチャネル駆動トランジスタ11のオフ制御をワード線信号によって直接フィードバック制御することで、別途タイミング制御回路を設けた場合に比べ信号のレーシングによるずれを排除し、シーケンシャルに各動作タイミングを設定することができるため、Pチャネル駆動トランジスタ11をオフにするタイミングをワード線WLがハイレベルに到達するタイミングに調節することが容易になる。

【0061】

また、容量駆動回路15の入力信号をワード線信号とすることで、容量駆動回路15の作動タイミングをPチャネル駆動トランジスタ11がオフとなるタイミングに調節することが容易になる。

【0062】

なお、図示はしていないが、容量駆動回路15の前段に書き込み制御信号を入力とする論理回路を追加することで、容量駆動回路15を不活性化することができ、これによって書き込み時にのみ昇圧動作を行わせることが可能である。このように、書き込み時のみ昇圧を行うことで、読み出し時のデータ破壊を回避するためのワード線昇圧電位の微妙な調整をすることなく効果的に動作下限電圧の改善を図ることができる。

【0063】

(第2の実施の形態)

つぎに、発明の第2の実施の形態として、結合容量の形成例について図3を参照しながら説明する。

【0064】

破線18で区切られた領域は1ビット分のメモリセルのレイアウトの領域を示している。符号21はワード線配線を示しており、破線18で区切られた部分が1ビット分のメモリセルのレイアウト内に配置されている。ワード線配線21と同じ配線層で形成された隣接配線22は、ビア23によって上層配線24と接続され、図に示すとおり分断されているすべての隣接配線22が上層配線24で接

続される構成となっている。

【0065】

隣接配線 22、ビア 23 および上層配線 24 とともに、ワード線 21 と同様に破線 18 で区切られた部分が 1 ビット分のメモリセルのレイアウト内に配置されており、このメモリセルレイアウトを横方向に順にフリップ（反転）して配置することで、図に示す配線を構成することができる。

【0066】

ワード線 21 と隣接配線 22 の間には、結合容量 16 が形成されている。メモリセルは全て同じレイアウト形状であるため、ワード線 21 の対地容量などの寄生容量と結合容量 16 の容量比はメモリセル 17 を横方向にいくつ並べても変わることがなく、従ってこのようにして形成した結合容量 16 を用いた昇圧回路ではメモリセル数にかかわらず昇圧レベルを一定に保つことが可能となる。

【0067】

隣接配線 22 とワード線 21 との間隔は、レイアウト上余裕があれば、スペースを変えて結合容量 16 の値を調整してもよい。配置されている他の配線との関係でスペースが限られているときには、隣接配線 22 の長さを変えて結合容量値を調整することもできる。

【0068】

このように、本実施の形態によれば、任意の長さのワード線に対してある一定の範囲内では任意に結合容量 16 の値を調整することが可能となる。

【0069】

本実施の形態ではメモリセル 2 ビット分に隣接配線 22 がまたがる配置としているが、1 ビットのメモリセル内で完結している配線として配置してもよい。また、逆にメモリセルを配置する単位に応じてその単位のメモリセルにまたがる隣接配線 22 を形成してもよい。さらに、隣接配線 22 を分断せずに配置し、ワード線との間隔を変えて結合容量値を調整してもよい。

【0070】

図 4 に結合容量形成の別の例を示す。図 4 では、図 3 の例とは異なり、隣接配線 22 が分断されておらず、1 本の配線として形成されている。また、ワード線

21と隣接配線22とは、図3の例と同様に破線18で区切られた部分が1ビット分のメモリセルレイアウト内に配置されている。一方、ワード線21のみで隣接配線のないメモリセルレイアウトも別途準備されており、隣接配線22のあるメモリセルレイアウトを所定の結合容量値が得られる数だけ連続して並べ、それ以外は隣接配線のないメモリセルレイアウトを並べる構成としている。これにより、2種類のメモリセル配置データの差し換えだけで結合容量値を変えることができる。

【0071】

図3、図4の例では、メモリセルレイアウトを配置するだけで結合容量を形成することができ、任意のビット数、ワード数を入力パラメータとしてSRAMブロックを生成するレイアウトコンパイラ上での結合容量の形成が容易になる。

【0072】

本実施の形態では、ワード線21と同じ配線層の隣接配線22で結合容量16を形成しているが、上層を併走する配線で容量形成を行うことも可能であり、ワード線21の直上を配線せずにくらせることで結合容量の値を調整することもできる。

【0073】

以上説明したように、併走する配線はワード線配線21を形成する配線レイヤの上層の配線を用いてメモリアレイ上に形成することで、別途結合容量16を形成する領域を設ける必要がなく面積の増大を抑えることが可能となる。また、ワード線配線21の隣接領域にスペースがある場合には、併走配線をワード線配線21と同層の配線を用いて形成することで同様の効果が得られる。

【0074】

また、併走配線の長さで結合容量の値を調整することができる。

【0075】

また、2種類のメモリセル配置データの差し換えだけで結合容量値を変えることができ、任意のビット数、ワード数を入力パラメータとしてSRAMブロックを生成するレイアウトコンパイラでの結合容量の形成が容易になる。

【0076】

また、ワード線配線 21 に隣接するスペースが限られておりワード線と結合容量を形成する併走配線との間隔を昇圧レベルを調整するために任意に設定することができない場合についても、併走配線を分断することで結合容量値を調整して昇圧レベルをコントロールすることが可能となる。また、分断する単位がメモリセルを基準とする単位であるため、任意のビット数、ワード数を入力パラメータとして S R A M ブロックを生成するレイアウトコンパイラにおいても、併走配線をセルレイアウト内に持たせることでメモリセルを配置するだけで、並べたメモリセル数すなわちワード線長に比例した結合容量が得られ、昇圧レベルを一定に保つことが可能となる。

【0077】

(第3の実施の形態)

つぎに、本発明の第3の実施の形態におけるワード線駆動回路について図5を参照しながら説明する。

【0078】

図5において、符号30はワード線駆動回路を示しており、横方向に走るグローバルワード線GWL1～GWL128のいずれかと縦方向に走るカラム書込み制御信号CWE1～CWE8のいずれかとを入力としている。カラム書込み制御信号CWE1～CWE8は、それぞれカラムデコード信号CDEC1～CDEC8と書き込み制御信号WEのAND回路31による論理積によって生成されている。

【0079】

ワード線駆動回路30は、具体的には、図6に示す構成となっている。図6において、第1の実施の形態を示す図1と同様の機能を有する部分に同一の符号を付けて、その詳細な説明を省略する。

【0080】

図1の容量駆動回路15の供給電源がすべてVDDL電位であるのに対して、図6の容量駆動回路15Aでは、2段のインバータ回路15A1, 15A2のうち、後段のインバータ回路15A2の電源電圧がカラム書込み制御信号CWEより供給されている点異なる。この構成により、カラム書込み制御信号CWEが

ハイレベルのときのみ容量駆動回路 15A が作動しワード線 WL が昇圧される。

【0081】

図 5 のアレイ回路においては、書き込み時の動作は以下に示すようになる。まず、書き込み動作時にはカラム書き込み制御信号 CWE 1～CWE 8 のいずれかがハイレベルとなる。つぎに、グローバルワード線 GWL 1～GWL 128 のうちいずれかがローレベルとなって、これを入力とする各々のワード線駆動回路 30 が動作し、各ワード線はハイレベルとなる。このとき、カラムデコード信号 CDEC 1～CDEC 8 のいずれかがハイレベルとなって選択されており、カラム書き込み制御信号 CWE 1～CWE 8 がハイレベルとなったワード線駆動回路 30 のみが、その中の容量駆動回路が動作状態となり昇圧を行う。カラムデコード信号 CDEC 1～CDEC 8 は昇圧されているワード線につながるメモリセルの書き込みバッファ（図示せず）と連動しており、ワード線が昇圧されたメモリセルに対して書き込みを行う。なお、読み出し動作時は、カラム書き込み制御信号 CWE 1～CWE 8 はローレベルであり、いずれのワード線も昇圧されない。

【0082】

本実施の形態のワード線駆動回路では、カラムデコード信号 CDEC 1～CDEC 8 で選択されかつ書き込み動作を行う場合のメモリセルのみワード線が昇圧されるため、読み出し時および書き込み対象でないメモリセルのノイズマージン低下によるデータ破壊を防ぐことができる。また、ワード線駆動回路 30 を選択するメモリセル単位毎に分割して配置しカラム書き込み制御信号 CWE 1～CWE 8 で選択する構成としたことで横方向に並ぶメモリセル数を増やすことができ、ブロックのアスペクト比を整えることができる。

【0083】

なお、本実施の形態の他に、カラムデコード信号を書き込み制御信号と分離し、カラムデコード信号とグローバルワード線と論理を組み、選択ワード線のみハイレベルにする回路構成をとることも可能である。この場合は、書き込み制御信号によってのみワード線昇圧の有無を制御する。ただし、この構成ではワード線駆動回路の段数がカラムデコード信号との論理回路の分増えワード線の立ち上がりが少し遅くなるため、速度面では本実施の形態のほうが有利になる。

【0084】

以上説明したように、書き込み時にカラムアドレスで選択された書き込み対象のメモリセルのみワード線を昇圧することで、非選択メモリセルのデータ破壊を防ぎながらブロック形状を整えることができる。

【0085】

また、書き込み時のみ昇圧を行うことで、読み出し時のデータ破壊を回避するためのワード線昇圧電位の微妙な調整をすることなく効果的に動作下限電圧の改善を図ることができる。

【0086】

(第4の実施の形態)

つぎに、本発明の第4の実施の形態におけるワード線駆動回路について図7、図8を参照しながら説明する。

【0087】

第1の実施の形態を示す図1と同様の機能を有する部分に同一の符号を付けて、その詳細な説明を省略する。第4の実施の形態のワード線駆動回路420では、ワード線昇圧のための回路として、容量駆動回路15および結合容量16に代えて、スイッチ回路40とスイッチ制御回路43を設けている。その他の構成は図1と同じである。

【0088】

スイッチ回路40は、他の回路部分に供給される電源電圧VDDLよりも高い電源電圧VDDHの供給電源とワード線WLとの間に設けられたPチャネルトランジスタ41とレベル変換回路42とから構成される。

【0089】

スイッチ制御回路43は、入力NWLからのインバータ43aによる反転信号とタイミング調整回路14の出力信号BWLとのアンド回路43bによるAND論理でスイッチ回路40を制御している。

【0090】

このワード線駆動回路420では、入力NWLに立ち下がり信号が入ると、第1の実施の形態と同様にワード線WLの電位が立ち上がる。その後、タイミング

調整回路 14 の出力信号 BWL のハイレベル (VDDL) への変化を受けて、スイッチ制御回路 43 の出力はハイレベルに変化し、さらにレベル変換回路 42 は出力 SW をローレベルにして P チャネルトランジスタ 41 をオンさせ、VDDL レベルでハイインピーダンス状態にあるワード線をより高い VDDH レベルに持ち上げる。

【0091】

つぎに、入力 NWL に立ち上がり信号が入ると、N チャネル駆動トランジスタ 12 がオンするとともに、スイッチ制御回路 43 の出力はローレベルとなって、レベル変換回路 42 は VDDH 電位のハイレベルを出力し、P チャネルトランジスタ 41 はオフ状態に移行する。この状態で、P チャネルトランジスタ 41 のゲートはソース電位と同じ VDDH 電位になるため、リーク電流を大幅に抑制することができる。

【0092】

本実施の形態によれば、第 1 の実施の形態と同様にワード線 WL に昇圧電位を得ることができる。

【0093】

また、本実施の形態では示していないが、スイッチ制御回路に書き込み制御信号を入力とする論理回路を追加することで、スイッチを不活性化することが可能であり、書き込み時のみワード線昇圧をさせることができる。

【0094】

以上述べたように、この半導体記憶装置によれば、この半導体記憶装置では、ワード線 WL がハイレベルになったタイミングで P チャネル駆動トランジスタ 11 をオフにする回路 (OR 回路 13 およびタイミング調整回路 14) を有することで、ワード線 WL がハイインピーダンス状態となり、別途設けられた昇圧回路 (容量駆動回路 15 および結合容量 16) によって、供給されている電源電圧 VDDL 以上の電位にワード線 WL の電位を設定することが可能となる。

【0095】

また、スイッチ回路 40 を書き込み制御信号で制御することで容量駆動回路による昇圧方法と同様に書き込み時のみ昇圧することが可能となり、書き込み時の

み昇圧を行うことで、読み出し時のデータ破壊を回避するためのワード線昇圧電位の微妙な調整をすることなく効果的に動作下限電圧の改善を図ることができる。

【0096】

また、スイッチ回路40に供給される電源電圧とスイッチ制御信号電圧の差異をなくすことで、スイッチ回路40のオフ状態で生じるリーク電流を効果的にカットすることができる。

【0097】

【発明の効果】

以上説明したように、第1の発明の半導体記憶装置によれば、ワード線を昇圧する回路として、ワード線との間に結合容量を有する容量駆動回路を用いることで、他の回路部分よりも高い電圧を供給することなく昇圧電位を得ることができる。したがって、電源系統が1系統でよく、LSIチップのレイアウト設計が簡略になるとともに1つの電源配線の領域を設けるだけでよく、チップ面積を減少させることができる。また、こうした半導体を使用するシステム側の設計も1つの電源回路を設けるだけでよく、基板実装面積が減少し、コスト的にも安価になり、有利である。

【0098】

また、結合容量をワード線と併走する配線によって形成し、併走する配線はワード線を形成する配線レイヤの上層の配線やメモリアレイ内のワード線の隣接領域に形成することで、別途結合容量を形成する領域を設ける必要がなく面積の増大を抑えることが可能となる。

【0099】

また、併走配線長を調整することで、結合容量の値ひいては昇圧レベルを調整することができる。本発明では、併走配線の有無で2種類のメモリセル配置データを準備し、このセルの配置差し換えだけで結合容量値を変える方法を提示している。これによりレイアウトコンパイラでの結合容量の形成が容易になる。

【0100】

また、結合容量を形成する併走配線をワード線と同じ配線層で形成し、上層で

併走する配線によって裏打ちする構成をとるとともに、併走配線を分断することで結合容量値を調整して昇圧レベルをコントロールすることが可能となる。また、分断する単位がメモリセルを基準とする単位であるため、並べたメモリセル数すなわちワード線長に比例した結合容量が得られ、メモリセル数の異なる構成のブロックでも昇圧レベルを一定に保つことが可能となる。

【0101】

さらに本発明の半導体記憶装置では、駆動トランジスタをオフにする制御入力信号および容量駆動回路の入力信号を、ワード線駆動回路の出力信号を元に生成していることにより、信号のレーシングによるずれを排除し、シーケンシャルに各動作タイミングを設定することができる。これにより、昇圧電位の低下や動作シーケンスにおける無駄な時間を削減することが可能となる。

【0102】

本発明の半導体記憶装置では、ワード線を昇圧する回路が書き込み制御信号を入力として、書き込みを行う際にのみワード線を昇圧することで、読み出し時のデータ破壊を回避するためのワード線昇圧電位の微妙な調整をすることなく効果的に動作下限電圧の改善を図ることができる。

【0103】

以上の各発明の効果により、面積オーバーヘッドを抑制しながらワード線昇圧電位を得ることができ、その結果として動作下限電圧のボトルネックを解消し他の回路部分の低電圧化を図ることができ低消費電力化が可能となる。

【0104】

また、第2の発明の半導体記憶装置は、ワード線昇圧回路が、ワード線駆動回路に供給される電源電圧よりも高い電圧を有する電圧源とワード線との間に設けられたスイッチ回路であり、駆動トランジスタがオフした後のタイミングでスイッチ回路がオンする構成であり、昇圧電圧をワード線駆動回路から直接与えるのではなく、別に設けたスイッチ回路を介して昇圧電圧をワード線に与える構成であるので、ワード線に加える電圧を昇圧することができる。また、ワード線駆動回路とは別に、電源電圧よりも高い電圧を有する電圧源とワード線との間にスイッチ回路を設け、スイッチ回路を介して高い電圧をワード線に加えるようにして

いるので、スイッチ回路に所望の制御信号を与えることで、半導体記憶装置の動作モードに応じてワード線に加える電圧を異ならせることも可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による半導体記憶装置におけるワード線駆動回路を示す回路図である。

【図 2】

本発明の第 1 の実施の形態による半導体記憶装置におけるワード線駆動回路の動作タイミング波形を示す波形図である。

【図 3】

本発明の第 2 の実施の形態による半導体記憶装置における結合容量のレイアウトを示す模式図である。

【図 4】

本発明の第 2 の実施の形態による半導体記憶装置における結合容量のレイアウトを示す模式図である。

【図 5】

本発明の第 3 の実施の形態による半導体記憶装置におけるメモリセル／ワード線駆動回路のアレイ構成を示す概略図である。

【図 6】

本発明の第 3 の実施の形態による半導体記憶装置におけるワード線駆動回路の構成を示す回路図である。

【図 7】

本発明の第 4 の実施の形態による半導体記憶装置におけるワード線駆動回路を示す回路図である。

【図 8】

本発明の第 4 の実施の形態による半導体記憶装置におけるワード線駆動回路の動作タイミング波形を示す波形図である。

【図 9】

従来のワード線駆動回路の構成を示す回路図である。

【図 10】

従来のワード線駆動回路の動作タイミング波形を示す波形図である。

【符号の説明】

- 1 1 Pチャネル駆動トランジスタ
- 1 2 Nチャネル駆動トランジスタ
- 1 3 OR回路
- 1 4 タイミング調整回路
- 1 5 容量駆動回路
- 1 6 結合容量
- 1 7 6トランジスタ構成のSRAMメモリセル
- 2 1 ワード線配線
- 2 2 隣接配線
- 2 3 ビア
- 2 4 上層裏打ち配線
- 3 0 ワード線駆動回路
- 3 1 AND回路
- 4 0 スイッチ回路
- 4 1 Pチャネルトランジスタ
- 4 2 レベル変換回路
- 4 3 スイッチ制御回路
- 4 0 0 ワード線駆動回路
- 4 1 0 ワード線駆動回路
- 4 2 0 ワード線駆動回路
- NWL ワード線駆動回路入力
- PWL Pチャネル駆動トランジスタゲートノード
- WL ワード線
- BWL タイミング調整回路の出力信号
- CWL 容量駆動回路の出力信号
- GWL, GWL 1 ~ GWL 128 グローバルワード線

WE 書き込み制御信号

CDEC 1 ~ CDEC 8 カラムデコード信号

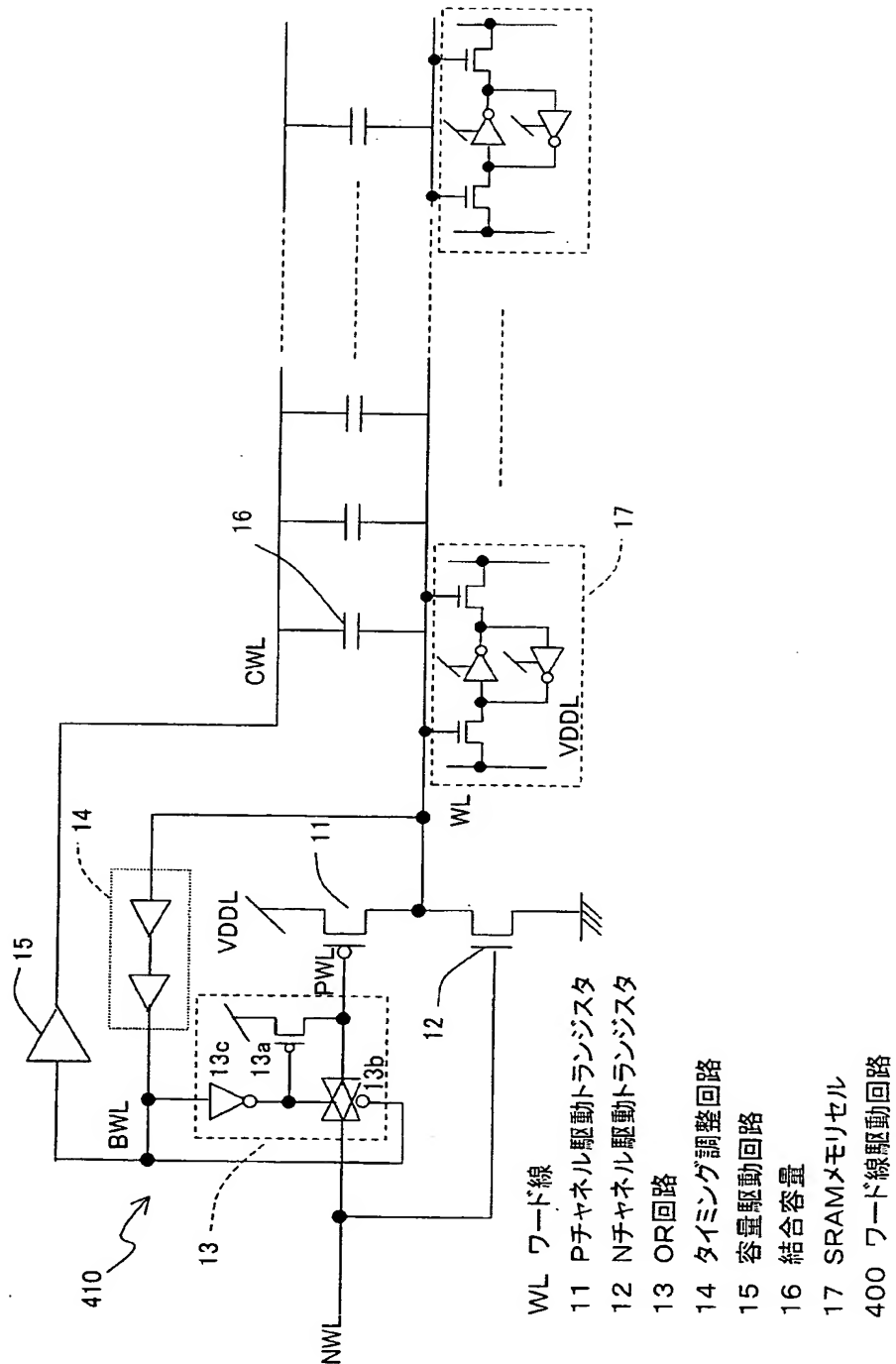
CWE, CWE 1 ~ CWE 8 カラム書き込み制御信号

SW レベル変換回路の出力信号

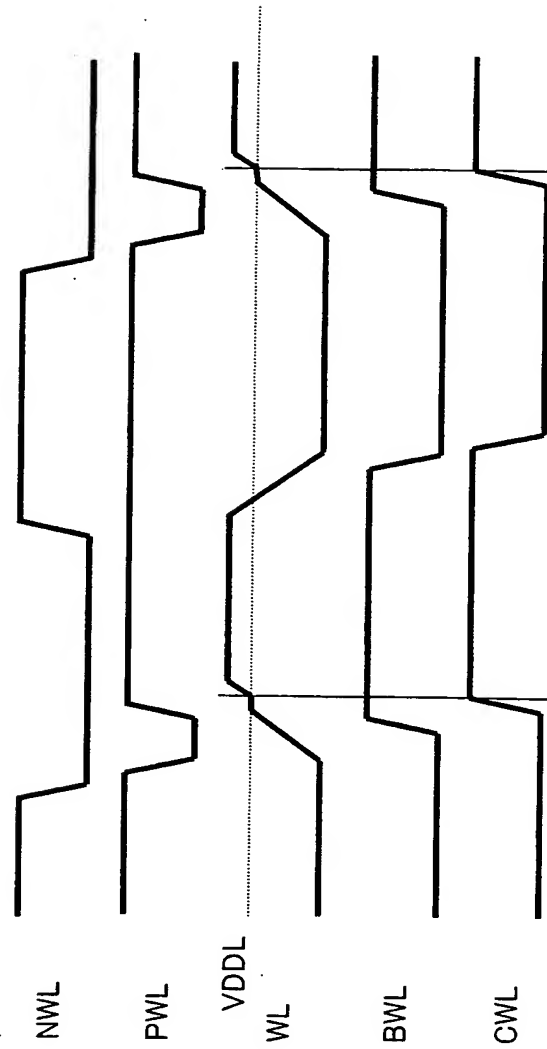
【書類名】

図面

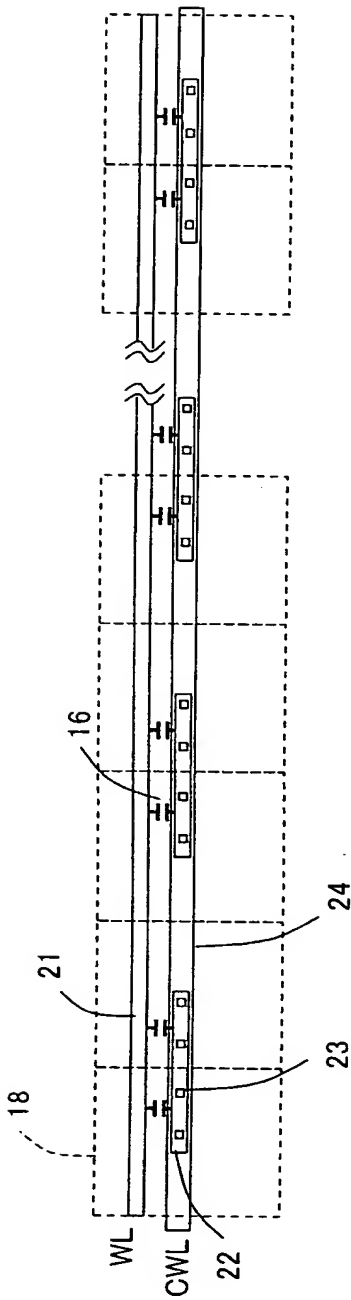
【図 1】



【図 2】

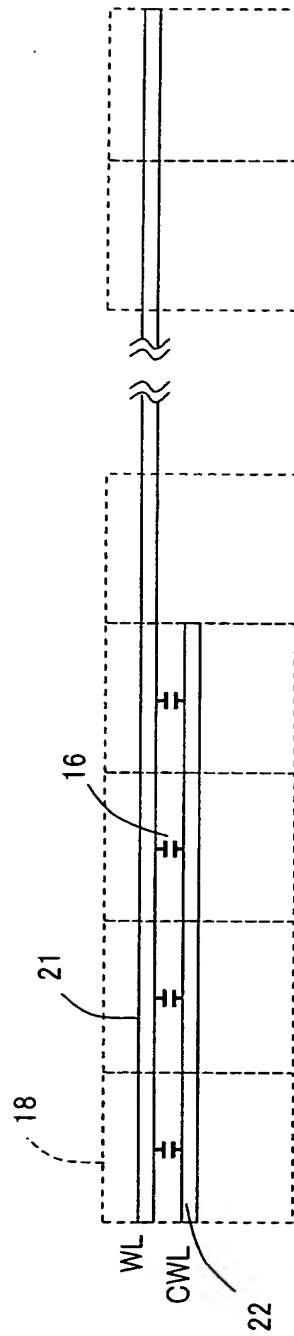


【図 3】

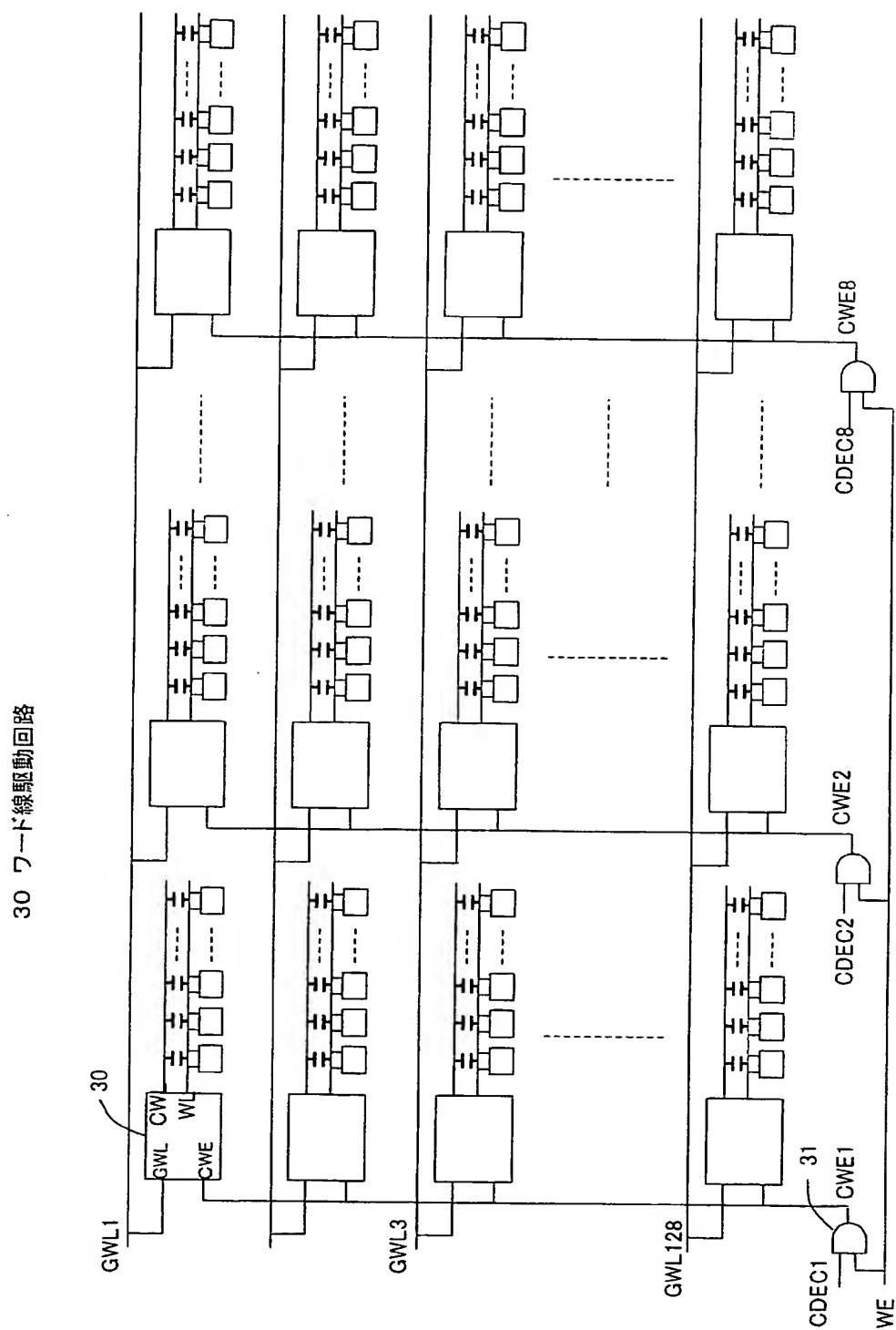


- 21 ワード線配線
- 22 隣接配線
- 23 ビア
- 24 上層裏打ち配線

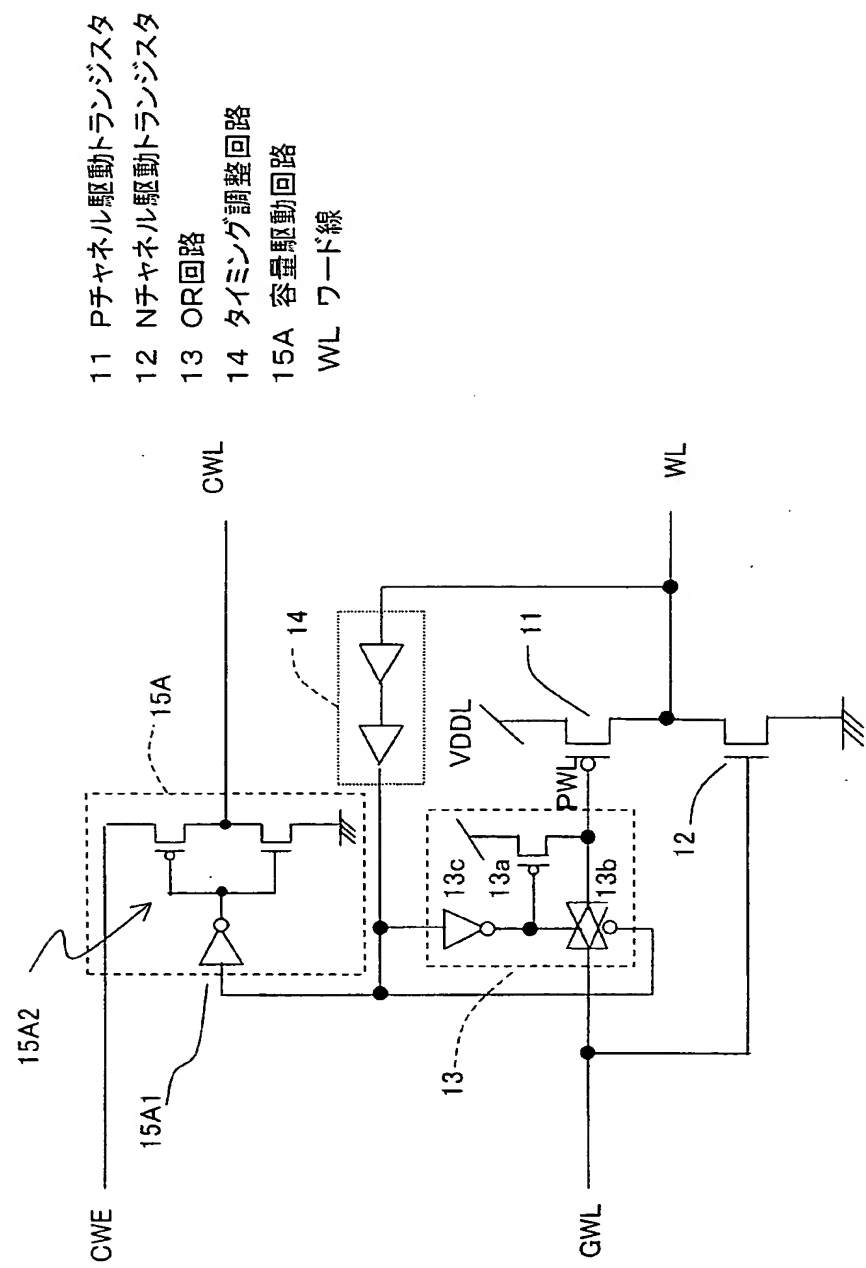
【図 4】



【図 5】

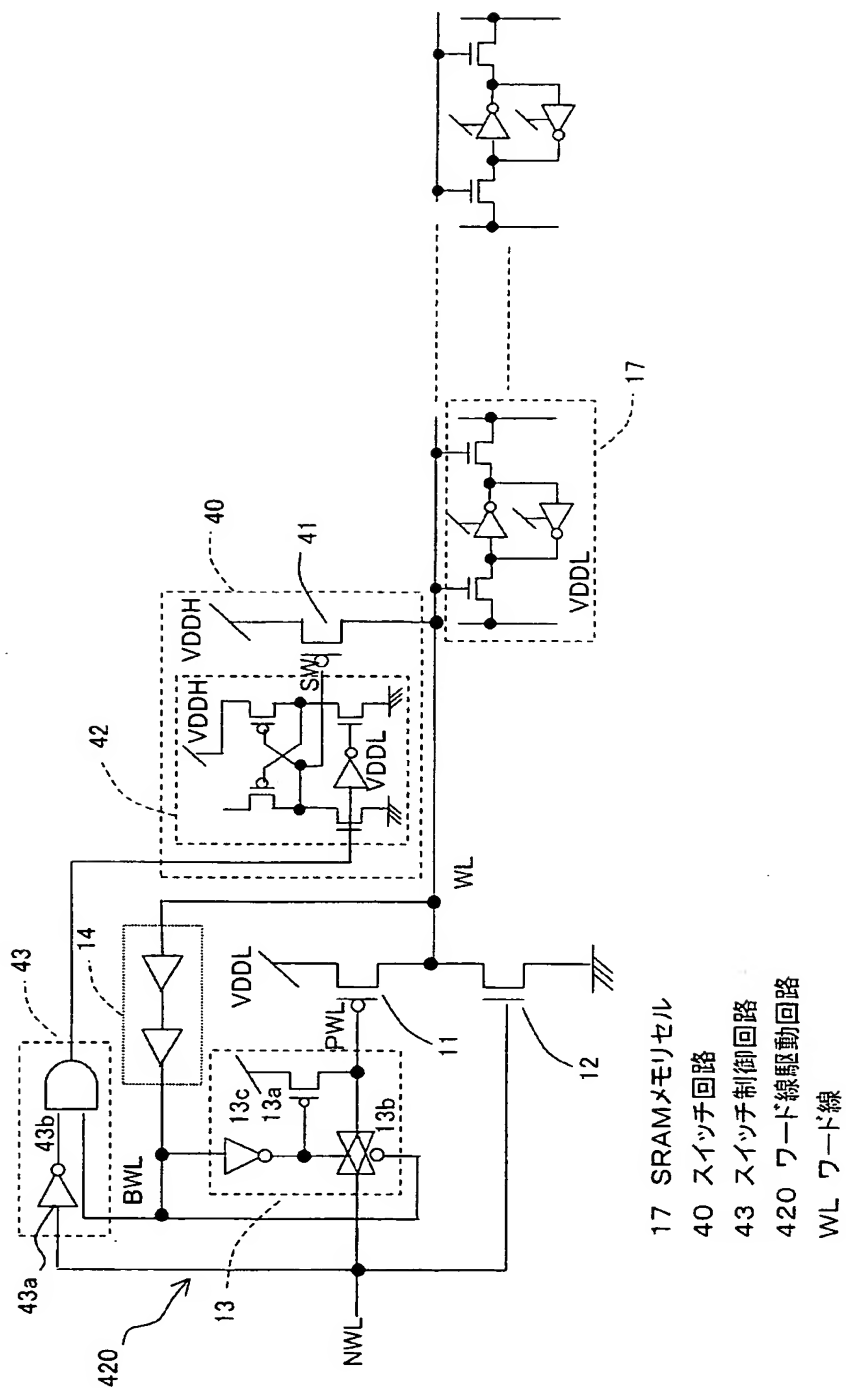


【図 6】

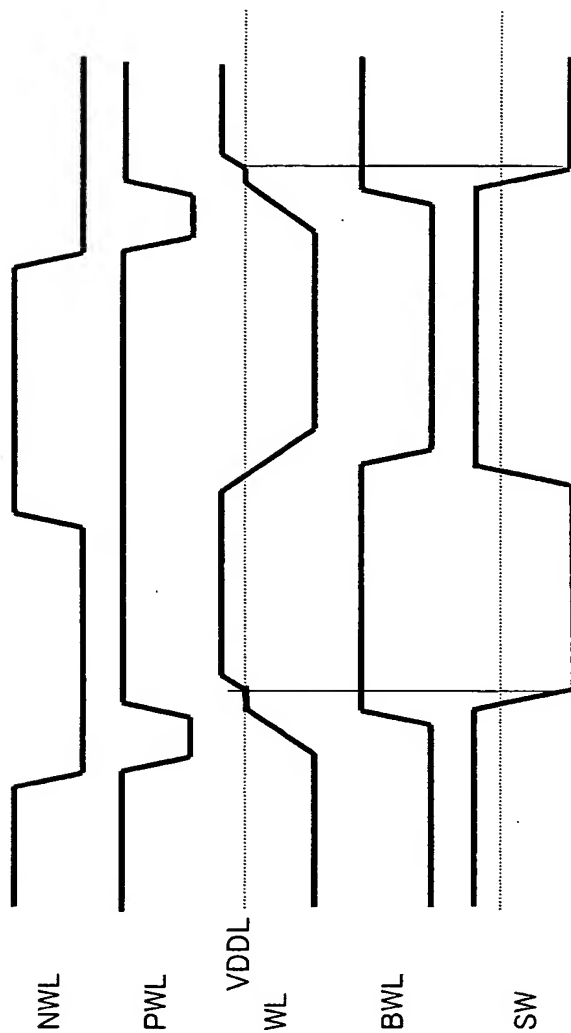


- 11 Pチャネル駆動トランジスタ
- 12 Nチャネル駆動トランジスタ
- 13 OR回路
- 14 タイミング調整回路
- 15A 容量駆動回路
- WL ワード線

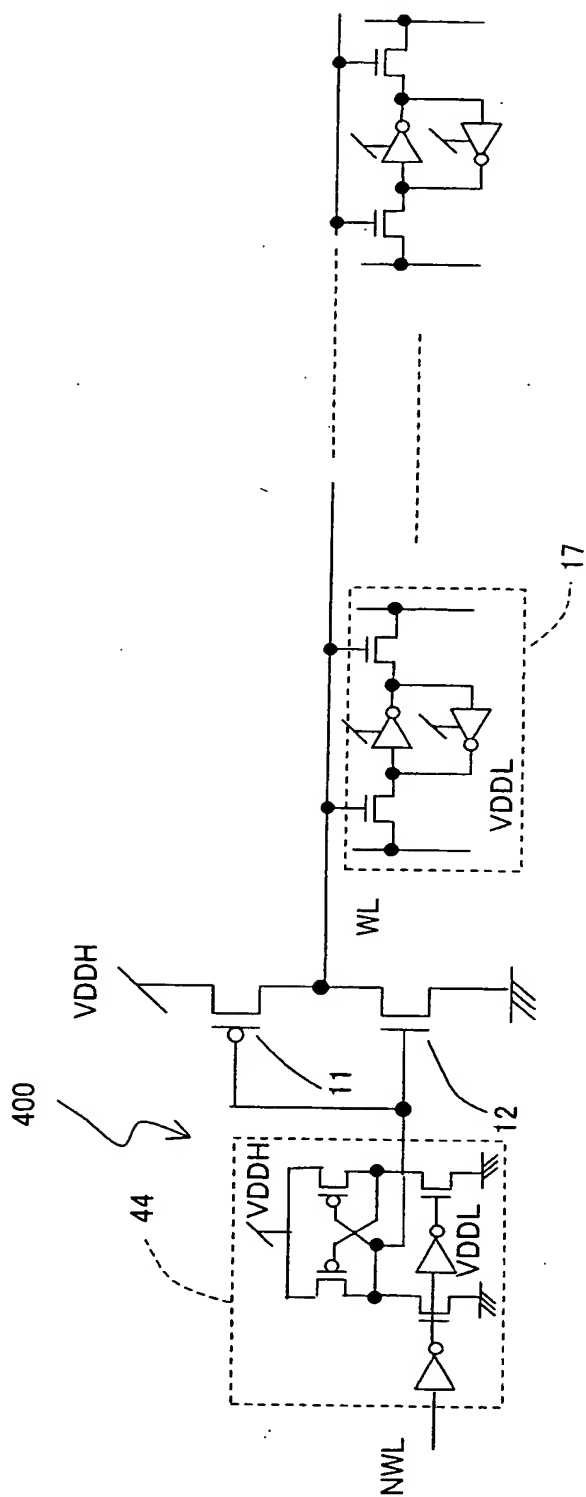
【図 7】



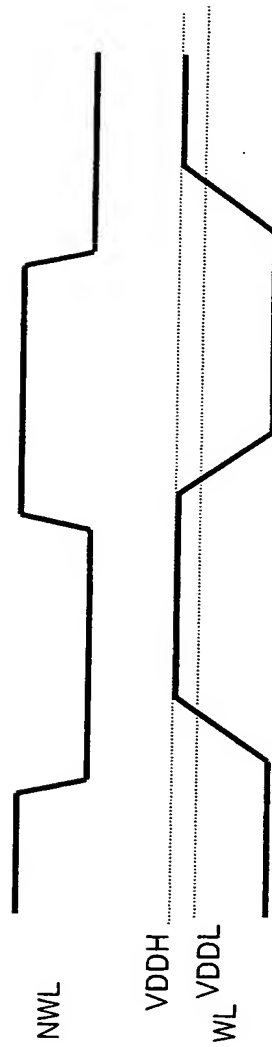
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 高圧電源を設けることなく、面積オーバーヘッドを抑制しながらワード線を昇圧させる回路を提供するものであり、その結果として動作下限電圧のボトルネックを解消し他の回路部分を低電圧動作させ低消費電力化を図ることが可能な半導体記憶装置を提供する。

【解決手段】 ワード線駆動回路 4 1 0 の出力が H レベルに達した直後のタイミングでワード線駆動回路 4 1 0 の駆動トランジスタ 1 1 をオフにする回路を有し、ワード線 WL との間に結合容量 1 6 を有する容量駆動回路 1 5 が、ワード線駆動回路 4 1 0 の駆動トランジスタ 1 1 がオフするタイミングで出力を L レベルから H レベルに変化させる構成としている。また、結合容量 1 6 をワード線 WL と併走する配線で構成する。

【選択図】 図 1

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 0 3 0 3 4 4 |
| 受付番号 | 5 0 3 0 0 1 9 6 4 5 3 |
| 書類名 | 特許願 |
| 担当官 | 第七担当上席 0 0 9 6 |
| 作成日 | 平成 1 5 年 2 月 1 0 日 |

< 認定情報・付加情報 >

| | |
|-------|-------------|
| 【提出日】 | 平成15年 2月 7日 |
|-------|-------------|

次頁無

特願 2 0 0 3 - 0 3 0 3 4 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社